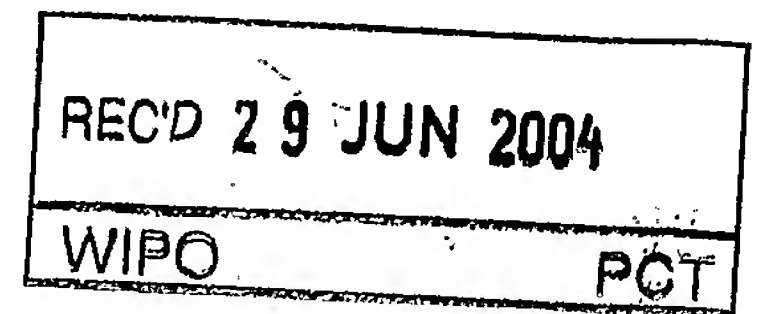


17. 06. 2004



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 10 2004 006 437.7

Anmeldetag: 09. Februar 2004

Anmelder/Inhaber: Continental Teves AG & Co oHG,
60488 Frankfurt/DE

Bezeichnung: Einrichtung und Verfahren zur Analyse
von eingebetteten Systemen

IPC: G 06 F 11/36

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 28. Mai 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Schmidt C.

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Continental Teves AG & Co. oHG

09.02.2004

P 10880

GP/BR/ad

Dr. B. Voss

Dr. H. Michel

Dr. A. Traskov

Einrichtung und Verfahren zur Analyse von eingebetteten Systemen

Um Software für eingebettete Systeme erfolgreich entwickeln zu können, ist es allgemein üblich, Einrichtungen vorzusehen, mit denen eine Fehlererkennung zur Laufzeit (Debugging) möglich ist. Bei dem bekannten Konzept des Debugging von eingebetteten Systemen via einer sogenannten JTAG-Schnittstelle (Joint Test Action Group, IEEE Standard 1149.1-1990, "IEEE Standard Test Access Port and Boundary Scan Architecture", Institute of Electrical and Electronics Engineers Inc., New York, USA, 1990) lassen sich Prüfoperationen durch ein "Boundary-Scan"-Testverfahren durchführen. Dieses Verfahren ermöglicht eine Einzelschrittverarbeitung des Prozessors (Singlestepping), das Setzen von Haltepunkten (Breakpoints) und das Setzen von sogenannten Watchpoints. Durch diese an sich bekannten Hilfsmittel zur Fehlererkennung kann zwar die prinzipielle Programmabarbeitung und der Zustand vereinzelter Variablenwerte mitverfolgt werden, jedoch muss das laufende System dazu in der Regel angehalten werden. Nachteilhafterweise kann dann jedoch die Ausgabe des Mikrorechners nicht mehr in Echtzeit erfolgen.

Es besteht nun das Problem, dass eingebettete Systeme häufig Echtzeitsysteme sind, die aufgrund ihres typischen Einsatzgebiets in Echtzeit-Steuerungen/-Regelungen ein Anhalten zu

- 2 -

Debuggingzwecken zumindest zur Überprüfung der im Zusammenhang mit der Echtzeitbearbeitung veränderten Daten nicht erlauben.

Weiterhin bekannt ist das sogenannte Trace-Interface, bei dem unter Benutzung eines "Bond-out" Chips zur Echtzeitanalyse die Weiterleitung aller relevanten CPU-Bussignale (Adressen-, Daten-, und Kontrollsignale) über Gehäusepins zum Beispiel an eine externe Logikanalyseeinrichtung ermöglicht wird. Bei einem Bond-out Chip handelt es sich um einen Microcontroller (MCU) in einem anderen Gehäuse, bei dem der Prozessorbus (Daten-, Adressen- und Kontrollsignale) nach außen gebondet ist.

Bei den heute für eingebettete Systeme üblichen hohen Systemfrequenzen von mehreren hundert Megahertz und den modernen Speicherarchitekturen mit Caches kann diese Methode zur Fehleranalyse auf Grund der hohen Geschwindigkeitsanforderungen nicht mehr verwendet werden. Eine Echtzeitausgabe relativ großer Datenspeicher (zum Beispiel einer Größe von mehr als 100 Kbyte) ist in der Regel durch die auf Grund der verwendeten Technologie vorgegebenen Systemfrequenzen und der sich daraus ergebenden Bandbreite nicht möglich. Eine denkbare Möglichkeit zur Schaffung der für die Echtzeitdatenübertragung notwendigen Bandbreite wäre eine parallele Ausgabe der zu übertragenden Daten. Die hierfür zur Verfügung stehende Pinzahl ist jedoch nicht zuletzt aus Kostengründen in der Regel begrenzt.

Es besteht daher immer noch das Problem, eine Analyseeinrichtung für eingebettete Systeme zur Verfügung zu haben, welche auch bei den heute üblichen schnellen eingebetteten Systemen eingesetzt werden kann.

Zur Lösung dieses Problems wird in der unveröffentlichten älteren internationalen Patentanmeldung PCT/EP0 312 630 eine Analyseeinrichtung für ein eingebettetes System vorgeschlagen, welches eine CPU, einen CPU-Bus und einen Speicher umfasst. Die angemeldete Analyseeinrichtung weist zumindest ein Kommunikationsmodul für die Ein- bzw. Ausgabe von Analysedaten über eine Testschnittstelle auf. Die angemeldete Analyseeinrichtung ist so eingerichtet, dass mit dem Kommunikationsmodul ohne Verbrauch von Taktzyklen der CPU der interne Speicher und I/O-Zugriffe des eingebetteten Systems überwacht und/oder protokolliert werden kann.

Dieser Ansatz basiert auf folgenden Überlegungen: Zum einen lässt sich der interne Systemzustand eines eingebetteten Systems durch seinen aktuellen Datenspeicherinhalt (RAM) beschreiben bzw. analysieren. Daraus folgt, dass für den Fall, dass dieser Speicherinhalt in Echtzeit in einen externen Datenspeicher kopiert werden kann, eine Möglichkeit besteht, den Systemzustand von dort durch eine nachgeschaltete Auswerteeinheit weiterzuverarbeiten und auszuwerten.

Die vorliegende Erfindung beschreibt zur Lösung des vorstehenden Problems eine neue Analyseeinrichtung gemäß Patentanspruch 1.

Mit der vorgeschlagenen Analyseeinrichtung kann beispielsweise eine Kopie des internen Systemzustands in einen externen Speicher in Echtzeit geschrieben werden. Auf diese Weise lässt sich die ordnungsgemäße Funktion des eingebetteten Systems von außen besonders einfach überprüfen.

Durch die in Anspruch 1 vorgeschlagene Analyseeinrichtung und das in Anspruch 15 vorgeschlagene Verfahren ergibt sich der Vorteil eines geringen Verbrauchs von für die Analyse verbrauchten Taktzyklen.

Die Analyseeinrichtung ist dabei vorzugsweise Bestandteil eines eingebetteten Systems, welches insbesondere in elektronischen Steuergeräten für Kraftfahrzeugbremssysteme Verwendung findet. In dem eingebetteten System nach der Erfindung sind bevorzugt wesentliche Komponenten des Systems, wie z.B. eine oder mehrere CPU's und Speicher teil- oder vollredundant ausgeführt. Hierdurch wird die Betriebssicherheit des eingebetteten Systems erhöht.

Vorzugsweise erfolgt die Protokollierung der Daten nicht in der Weise, dass der gesamte Speicherinhalt oder der Inhalt eines ganzen Speicherbereichs übertragen wird, sondern es werden nur die Veränderungen des Speichers, insbesondere alle Schreibzugriffe der CPU und/oder der Peripherie, übertragen. Auf diese Weise kann eine Verringerung der notwendigen Bandbreite zur Datenausgabe erfolgen.

Das System umfasst außerdem vorzugsweise Mittel für die direkte Datenausgabe durch die CPU. Neben diesen Mitteln für die direkte Datenausgabe sind insbesondere Mittel für eine automatische Replizierung der Daten im Hintergrund durch das

Analysemodul vorgesehen. Hierdurch ergibt sich der Vorteil einer erhöhten Flexibilität bei der Datenausgabe.

Speziell für diese Anwendungsfälle wird gemäß der Erfindung ein universelles Datenein- und Ausgabemodul vorgeschlagen, welches in der Weise eingerichtet ist, dass in Echtzeit ein Datenaustausch mit einem eingebetteten System durchgeführt werden kann, ohne dass dieses (auch nur zeitweise) angehalten werden muss (non-intrusive).

Gegenüber den aus dem Stand der Technik bekannten Software-Debuggingeinrichtungen besitzt die Analyseeinrichtung nach der Erfindung den Vorteil, dass bei der Entwicklung von Regelalgorithmen z. B. für Kraftfahrzeugbremsysteme, das dynamische Systemverhalten insbesondere der Regelvariablen während des Debuggings verfolgt werden kann. Weiterhin ist vorteilhaft, dass für den Einsatz eines eingebetteten Systems in einem Hardware-in-the-Loop Simulator oder in einem Rapid-Prototyping System eine Dateneingabe in das eingebettete System vorgenommen werden kann.

Die Erfindung betrifft weiterhin ein Verfahren zur Analyse eines dem weiter oben beschriebenen eingebetteten System mit einer Analyseeinrichtung gemäß Anspruch 12.

Das Verfahren hat den Vorteil, dass die Verarbeitungsgeschwindigkeit des eingebetteten Systems durch die im Hintergrund ablaufenden Debugging-Prozesse nicht verringert wird. Hierdurch ist eine Echtzeitverarbeitung der Daten auch während des Debuggings möglich.

Das Verfahren gemäß der Erfindung umfasst bevorzugt auch Schritte zur echtzeitfähigen Ausgabe des kompletten Datenspeicherinhalts.

Weitere bevorzugte Ausführungsformen ergeben sich aus den Unteransprüchen und der nachfolgenden Beschreibung der Figuren.

Nachfolgend wird die Erfindung an Hand von Beispielen näher erläutert.

Es zeigen

Fig. 1 ein eingebettetes System 9 mit einer Analyseeinrichtung 4 gemäß der Erfindung,

Fig. 2 Beispiele für eine mögliche Pinbelegung und ein Timingdiagramm für eine Testschnittstelle 5, und

Fig. 3 ein Beispiel für ein redundantes, flächenoptimiertes sicheres Mikroprozessorsystem mit Analyseport.

Eingebettetes System 9 in Fig. 1 umfasst einen oder mehrere CPU's 1, ein RAM 3, eine Analyseeinrichtung 4 und eine Testschnittstelle 5. Zur Vereinfachung des Blockschaltbilds sind weitere übliche Funktionselemente des eingebetteten Systems, wie ROM, Takterzeugung, IO, etc., nicht gezeichnet.

Die Analyseeinrichtung weist drei Funktionsmodi auf, welche nachfolgend beschrieben werden. In Funktionsmodus 1 liest die Analyseeinrichtung alle Schreibzugriffe der CPU 1 vom Datenspeicher 3 mit. Es werden also alle Schreibzugriffe der

- 7 -

CPU 1 auf Datenspeicher 3 automatisch über CPU-Bus 2 von der vorgeschlagenen erweiterten Datenaus-/eingabeeinheit 4 (EDP, Enhanced Data Port) mittels eines darin enthaltenen Controllers bzw. einer Trace-Logik 22, 23 über Testschnittstelle 5 auf den externen Datenspeicher 6 geschrieben. Hierzu muss der Controller zumindest die gleiche Bandbreite besitzen, wie der verwendete Speicher 3. Der Controller besitzt neben einer Verbindung zum Datenbus auch insbesondere eine Verbindung zum Kontrollbus und zum Adressbus, damit, nach einer bevorzugten Ausführungsform des Verfahrens, nur speziell selektierte Adressbereiche und/oder speziell selektierte Datentypen für die Analyse mitverfolgt werden können. Für den Abgriff der Daten und den Datentransfer muss CPU 1 demzufolge keine zusätzlichen Befehle ausführen.

Der externe Datenspeicher 6 ist bevorzugt als Dual-Port Speicher ausgeführt und enthält in der Regel ein genaues Abbild der in RAM 3 beobachteten Speicherbereiche bzw. des gesamten Speicherinhaltes von RAM 3. Es kann sich bei Speicher 6 auch um einen Ringspeicher handeln, der den ankommenden Datenstrom für eine spätere (offline-) Analyse speichert.

Testschnittstelle 5 ist ein paralleles Interface, welches neben Steuerleitungen Datenleitungen umfasst, die abwechselnd sowohl Adressinformationen als auch Daten übertragen können. FIFO-Speicher 8, welcher innerhalb der Datenausgabeeinheit 4 angeordnet ist, sorgt dabei für eine zeitliche Pufferung der abgegriffenen Daten. Auf diese Weise können auch Zugriffe auf Testschnittstelle 5 ausgegeben werden, bei denen ein Zurückschreiben einer Cache-Line oder eines CPU-Register Dump bei Funktionseintritt durchgeführt wird.

In Funktionsmodus 2 liest Analyseeinrichtung 4 alle Lesezugriffe von CPU 1 auf den Datenspeicher mit. Dieser Modus entspricht weitgehend Funktionsmodus 1, jedoch sind folgende Unterschiede vorhanden: Alle Lesezugriffe werden automatisch über Testschnittstelle 5 ausgegeben. Analyseeinheit 4 registriert dabei alle Vorgänge, wie Lesezyklen, Schreibzyklen etc., die auf dem CPU-Bus sichtbar sind, auf (Mitlesen). In Funktionsmodus 2 führt CPU 1 aktiv einen Speicherdump durch, was allerdings mit einem geringfügigen tolerierbaren Laufzeitverlust einhergeht. Durch das Mitlesen der Analyseeinheit 4 werden die Anzahl von Taktzyklen, welche für die Ausgabe der von Datenworten zur Analyse erforderlich sind, verringert bzw. oder sogar ganz vermieden.

CPU 1 liest den Datenspeicherinhalt in die nichtgezeichneten Register der CPU ein. Die in den Registern vorhandenen Daten können dann in Analyseeinheit 4 geschrieben werden. Die hier beschriebene Funktionsweise entspricht im wesentlichen dem weiter unten beschriebenen Funktionsmodus 3.

Bei der im vorliegenden Beispiel (Funktionsmodus 2) vorgeschlagenen Analyseeinrichtung liest CPU 1 den Datenspeicherinhalt in die CPU-Register. Parallel hierzu gibt die Datenausgabeeinheit 4, welche den Datenbus mithört, die entsprechenden Daten automatisch aus, d.h. es ist kein expliziter Schreibzyklus für die Datenausgabe zur Analyse erforderlich.

In Funktionsmodus 3 erfolgt ein direktes Schreiben auf die Datenausgabeeinheit oder ein direktes Lesen von der Datenausgabeeinheit. Funktionsmodus 3 entspricht also Funktionsmodus 1, bis auf die Tatsache, dass die Daten aktiv durch

- 9 -

die CPU 1 auf die Analyseeinheit 4 extern ausgegeben bzw. aktiv von dort eingelesen werden, wodurch allerdings zusätzliche Taktzyklen erforderlich sind.

Die Analyseeinheit kann über Modul 7 Daten aus dem externen Speicher 6 an typische Debugging-Anwendungen, wie Echtzeitüberwachung des Systemzustands 10, Offline-Analyse zur Schaffung eines kompletten Datenspeicherabbilds über Modul 11, Flash-Download über Kommunikationskanal 12 (Programmierung des Programmspeichers), Parametervariation während des Betriebs des eingebetteten Systems, Übertragung von Systemstimuli, Rapid-Prototyping und Hardware-in-the-Loop Simulation übertragen werden.

Fig. 1a) zeigt ein Beispiel für eine Pinbelegung und ein Timingdiagramm der Testschnittstelle 5 bei einer Breite des Ports von 16 Bit. Teilbild b) stellt ein weiteres Beispiel für eine Testschnittstelle 5 mit einer Breite von 8 Bit dar.

Im Beispiel der Schnittstelle nach Teilbild a) wird bei einem Schreibzugriff auf RAM 3 ein Datenpaket 20 (Bits D0 bis D7) übertragen, das aus 16 Adress Bits (A0 bis A16), gefolgt von Datenbits D0 bis DX besteht, wobei je nach Datenwortbreite X die Werte 7, 15, 31, 63 etc. annehmen kann.

Eine oder mehrere weitere Leitungen können bevorzugt als Leitungen zur Übertragung zusätzlicher Adressbits vorgesehen sein, wenn mehr als 64 KByte adressiert werden sollen. In diesem Fall reichen die dargestellten 16 Leitungen DP0 bis DP15 nicht aus, um die erforderliche Anzahl von Adressbits zu übertragen. Eine Verdoppelung des adressierbaren Bereichs ergibt sich jeweils durch einen oder mehrere zusätzliche

- 10 -

Pins die zusätzliche Adressinformation übertragen. Da die maximal definierte Portbreite im Beispiel in Teilbild a) 16 Bit ist, besteht somit jede Übertragung aus einer Adressphase und einer Datenphase.

Die Länge der Adress-/Datenphase wird bevorzugt über eine in der Schnittstelle vorhandene Add/nDATA Leitung 21 angezeigt, die beispielsweise während der Adressphase high und während der Datenphase "low" ist. Damit markiert eine steigende Flanke dieses Signals den Start eines neuen Datenpakets. (Es könnte natürlich auch andersrum sein, das ist Definitionssache.)

Eine weitere Leitung 25 ist bevorzugt vorgesehen, um gültige Daten über eine Flanke (konfigurierbar als steigend, fallend oder beide) des Pins DPCLK anzuzeigen.

Im Beispiel des 16-Pin breiten Datenports ist die Länge des Datenpakets minimal 16 Bit. Deswegen ist in der Schnittstelle 5 bevorzugt eine zusätzliche Signalleitung 24 BYTE/Parity vorgesehen, so dass während der Adressphase einen Bytezugriff signalisiert. Während der Datenphase kann diese Leitung dazu benutzt werden, um ein Parity-Checkbit zu übertragen. Bei einem 4 oder 8 Pin breitem Port wird die Byte-Information nicht benötigt, so dass über diesen Pin nur die Parity-Information übertragen wird.

Hierdurch lässt sich die Übertragung notwendige Anzahl von Taktzyklenzahl an der Testschnittstelle reduzieren.

- 11 -

In Fig. 3 ist schematisch ein sicheres Mikroprozessorsystem für Kraftfahrzeuge mit zwei CPU's 15 und 16 und jeweils je CPU einer zugeordneten Analyseeinrichtung 17 und 18 dargestellt. Die Analyseeinrichtung 17 hat gegenüber der Analyseeinrichtung 18 einen verminderten Funktionsumfang und Chipflächenbedarf.

Im Falle eines Überlaufs des FIFO-Speichers 8' und 8'' (zweifach vorhanden) wird über Signalleitung 19, 19' (zweifach vorhanden) jeweils von den Analyseeinrichtungen 16 und 15 redundant taktsynchron ein Haltesignal erzeugt, welches die CPU's anhält, bis die FIFO's beide jeweils entsprechend weit geleert worden sind. Das Mikroprozessorsystem besitzt zwei redundante Signalleitungen und Analyseeinrichtungen zum Anhalten der CPU's, damit bei einer Fehlfunktion nur einer Analyseeinrichtung die CPU mit der funktionierenden Analyseeinrichtung weiterläuft, so dass dieser Fehler später durch Feststellen unterschiedlicher Rechenergebnisse bzw. des Anhaltens als solches erkannt werden kann. Das redundante RAM Trace Module (RTM im TDP2) benötigt nur einen 2 Bit breiten FIFO-Speicher 8'', der die Zugriffsbreite speichert. Diese Information wird zur Berechnung der zum Leeren des Daten-FIFO 19 benötigten Taktzyklen benötigt. Das redundante Interface Modul (IM im TDP2) überträgt keine Daten. Nur die Logik 22, 23 zum Füllen und Leeren des FIFO-Speichers muss redundant implementiert sein.

Vorteilhaft ist dabei, dass bei Verwendung der oben beschriebenen mehrkernigen Prozessorarchitektur das Signal zum Anhalten der CPU mit einem geringen Verbrauch von Chipfläche redundant erzeugt werden kann.

Wie in nachfolgender Tabelle gezeigt ist, zeichnet sich der beispielgemäße Analyseport durch einen besonders geringen Taktzyklenverbrauch aus. In typischen Beispielen ergibt sich eine Reduktion der Laufzeit durch die erfindungsgemäße Testschnittstelle von lediglich etwa 0,5 bis 1 % der ursprünglichen Taktzyklen. In der Tabelle ist die Anzahl der für die Übertragung eines Datenpaktes benötigten Taktzyklen angegeben:

Tabelle

Bitbreite des Ports	Schreib-Zugriffsbreite in Bit			
	8	16	32	64
4	6	8	12	20
8	3	4	6	10
16	2	2	3	5

Die externe Messtechnik kann wegen des sehr einfachen Protokolls sehr einfach realisiert werden, da die Adressen während der Adressphase vollständig übertragen werden, in der Datenphase erfolgt dann die Zuordnung der Daten zu der Adresse.

Entscheidend ist, dass der FIFO-Speicher schneller geleert werden kann, ist die Auslastung geringer und die CPU muss somit weniger häufig bzw. für kürzere Zeitperioden angehalten werden.

Patentansprüche

1. Analyseeinrichtung für ein eingebettetes System (9), welches mindestens eine CPU (1), mindestens einen CPU-Bus (2) und mindestens einen Speicher (3) umfasst, wobei diese zumindest ein Kommunikationsmodul (4) für die Ein- bzw. Ausgabe von Analysedaten über eine Testschnittstelle (5) aufweist, dadurch **gekennzeichnet**,
dass
die Testschnittstelle neben Steuerleitungen mindestens eine Datenleitungsgruppe umfasst, welche in abwechselnder oder sonstiger Reihenfolge sowohl Datenworte, als auch Adressworte überträgt und wobei die Information, ob Datenworte oder Adressworte übertragen werden, über mindestens eine Steuerleitung übertragen wird, so dass der Inhalt und Zugriffe zur Laufzeit auf den beschreibbaren interne Speicher sowie I/O-Zugriffe des eingebetteten Systems praktisch ohne Verbrauch von Taktzyklen der CPU (1) überwacht und/oder protokolliert werden können.
2. Analyseeinrichtung nach Anspruch 1, **gekennzeichnet** durch zwei, insbesondere mindestens drei frei wählbare Analysemodi, wobei sich die Analysemodi in Art und Umfang der Beteiligung der CPU 1 beim Einlesen und/oder Schreiben von Daten für Analysezwecke voneinander unterscheiden.

3. Analyseeinrichtung nach Anspruch 2, dadurch **gekennzeichnet**, dass je nach gewähltem Analysemodus entweder
- alle Schreibzugriffe der CPU auf insbesondere definierbare Adressbereiche ohne Taktzyklenverbrauch protokolliert werden oder
 - alle Lesezugriffe der CPU protokolliert werden oder
 - ein direktes Lesen und Schreiben der CPU aus/in einem/-n externen Speicher (6) mit Taktzyklenverbrauch erfolgt.
4. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 3, dadurch **gekennzeichnet**, dass das Kommunikationsmodul eine Logik 22, 23 umfasst, welche selbstständig über eine Verbindung mit dem Datenbus und/oder dem Kontrollbus und/oder dem Adressbus auf diese(n) Bus/Busse des eingebetteten Systems zugreifen kann, um Schreib- und/oder Lese-Zugriffe in Echtzeit, d.h. ohne Beeinflussung der CPU, mitzuverfolgen.
5. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 4, dadurch **gekennzeichnet**, dass das Kommunikationsmodul mit einem Pufferspeicher (8, 8', 8'') verbunden ist oder diesen insbesondere umfasst, wobei in dem Pufferspeicher die bei Schreib- und/oder Lese-Zugriffen übertragenen Daten gespeichert werden können.

6. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 5, dadurch **gekennzeichnet**, dass aus dem Pufferspeicher Daten über die Testschnittstelle (5) gepuffert ausgegeben bzw. Daten in den Pufferspeicher über diese Schnittstelle eingeschrieben werden können.
7. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 6, dadurch **gekennzeichnet**, dass der externe Prüfspeicher (6) ein Ringspeicher oder ein Dual-Port Speicher ist.
8. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 7, dadurch **gekennzeichnet**, dass das Kommunikationsmodul (4, 17, 18) im eingebetteten System integriert ist.
9. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 8, dadurch **gekennzeichnet**, dass die Testschnittstelle (5) mit einem außerhalb des eingebetteten Systems angeordneten Prüfspeicher (6) verbunden ist.
10. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 9, dadurch **gekennzeichnet**, dass die Datenübertragung vom Kommunikationsmodul zum externen Speicher über eine Parallelschnittstelle (5) erfolgt.
11. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 10, dadurch **gekennzeichnet**, dass externer Speicher (6) mit einer Datenaufbereitungseinrichtung (7) verbunden ist, welche eine Schnittstellenverbindung (14) zu externen Debugging-Anwendungen schafft.

- 16 -

12. Eingebettetes System umfassend eine Zentralrecheneinheit (1), einen CPU-Bus (2) und einem Speicher (3), dadurch **gekennzeichnet**, dass dieses eine Analyseeinrichtung gemäß mindestens einem der Ansprüche 1 bis 11 umfasst.
13. Integriertes Mikroprozessorsystem für Kraftfahrzeuge mit mindestens zwei Prozessorkernen (15,16), dadurch **gekennzeichnet**, dass mindestens einem der enthaltenen Prozessorkerne (16) eine vollständige Analyseeinrichtung (18), insbesondere gemäß mindestens einem der Ansprüche 1 bis 12, zugeordnet ist.
14. Mikroprozessorsystem nach Anspruch 13, dadurch **gekennzeichnet**, dass einem weiteren Prozessorkern (15) eine unvollständige Analyseeinrichtung (17) zugeordnet ist, welche gegenüber der Analyseeinrichtung (18) einen reduzierten Funktionsumfang besitzt.
15. Mikroprozessorsystem nach Anspruch 13 oder 14, dadurch **gekennzeichnet**, dass eine erste Signalverbindung (19) zum Anhalten des ersten Kerns (16) und eine weitere redundante Signalverbindung (19') zum Anhalten des weiteren redundanten Prozessorkerns (15) vorhanden ist.
16. Mikroprozessorsystem Anspruch 15, dadurch **gekennzeichnet**, dass die erste Signalverbindung mit der ersten Analyseeinrichtung (18) verbunden und die zweite redundante Signalverbindung (19') mit der unvollständigen Analyseeinrichtung (17) verbunden ist.

17. Mikroprozessorsystem nach mindestens einem der Ansprüche 14 bis 16, dadurch **gekennzeichnet**, dass die Reduktion des Funktionsumfangs darin besteht, dass der in der Analyseeinrichtung vorhandene Pufferspeicher (8', 8'') einen geringere Speicherplatzanzahl und/oder Wortbreite hat.
18. Mikroprozessorsystem nach mindestens einem der Ansprüche 14 bis 17, dadurch **gekennzeichnet**, dass die Reduktion des Funktionsumfangs darin besteht, dass die Testschnittstelle (5) nicht nach außen geführt oder nicht vorhanden ist.
19. Verfahren zur Analyse eines eingebetteten Systems mit einer Testschnittstelle, insbesondere gemäß mindestens einem der Ansprüche 1 bis 11, dadurch **gekennzeichnet**, dass zur Übertragung der Daten über die Testschnittstelle ein Datenübertragungsprotokoll verwendet wird, bei dem die Daten in mehreren Gruppen aus Adressen und Daten übertragen werden.
20. Verfahren nach Anspruch 19, dadurch **gekennzeichnet**, dass mindestens ein Modus vorhanden ist, in dem die Analysedaten in Echtzeit aus dem System, welches zumindest CPU, Datenspeicher, Programmspeicher und I/O-Element/-e umfasst, herausgelesen und/oder in das System hinein geschrieben werden können, so dass das System für die Analyse nicht angehalten bzw. unterbrochen werden muss.

21. Verfahren nach Anspruch 19 oder 20, dadurch **gekennzeichnet**, dass

- der Speicherinhalt oder eine entsprechend auswertbare Information des eingebetteten Systems ganz oder teilweise in einen externen Speicher in Echtzeit kopiert wird, wobei insbesondere zuvor die Daten gepuffert werden, und/oder

- der Speicherinhalt eines externen Speichers (6) oder eine entsprechend auswertbare Information über den Speicherinhalt von Speicher (6) ganz oder teilweise in einen Speicher des eingebetteten Systems in Echtzeit kopiert wird, wobei insbesondere zuvor die Daten gepuffert werden.

22. Verfahren nach mindestens einem der Ansprüche 19 bis 21, dadurch **gekennzeichnet**, dass der externe Speicher zur Übertragung von Daten für typische Debugging-Anwendungen verwendet wird.

23. Verfahren nach mindestens einem der Ansprüche 19 bis 22, dadurch **gekennzeichnet**, dass nur die für das Debugging erforderlichen Daten bei Zugriffen der CPU auf RAM 3 an den externen Speicher (6) übertragen werden.

24. Verfahren nach mindestens einem der Ansprüche 19 bis 23, dadurch **gekennzeichnet**, dass Schreibzugriffe und/oder Lesezugriffe der CPU mittels eines Pufferspeichers (8, 8', 8'') protokolliert werden.

25. Verfahren nach mindestens einem der Ansprüche 19 bis 24, dadurch **gekennzeichnet**, dass Informationen über die Schreibzugriffe ohne zusätzliche CPU-Befehle in den Pufferspeicher (8, 8', 8'') oder direkt in das Kommunikationsmodul (4) geschrieben werden und die Informationen über die Lesezugriffe mit aktiver Unterstützung der CPU in den Pufferspeicher geschrieben werden.
26. Verfahren nach mindestens einem der Ansprüche 19 bis 25, dadurch **gekennzeichnet**, dass ein Modus des eingebetteten Systems vorgesehen ist, in dem alle Schreib- und/oder Lesezugriffe der CPU auf das Kommunikationsmodul umgeleitet werden.
27. Verfahren nach mindestens einem der Ansprüche 19 bis 26, dadurch **gekennzeichnet**, dass ein Modus des eingebetteten Systems vorgesehen ist, in dem nur entweder die Schreibzugriffe oder die Lesezugriffe der CPU auf das Kommunikationsmodul umgeleitet werden, und die übrigen Zugriffe der CPU auf den Speicher von der CPU aktiv in den externen Speicher protokolliert werden.

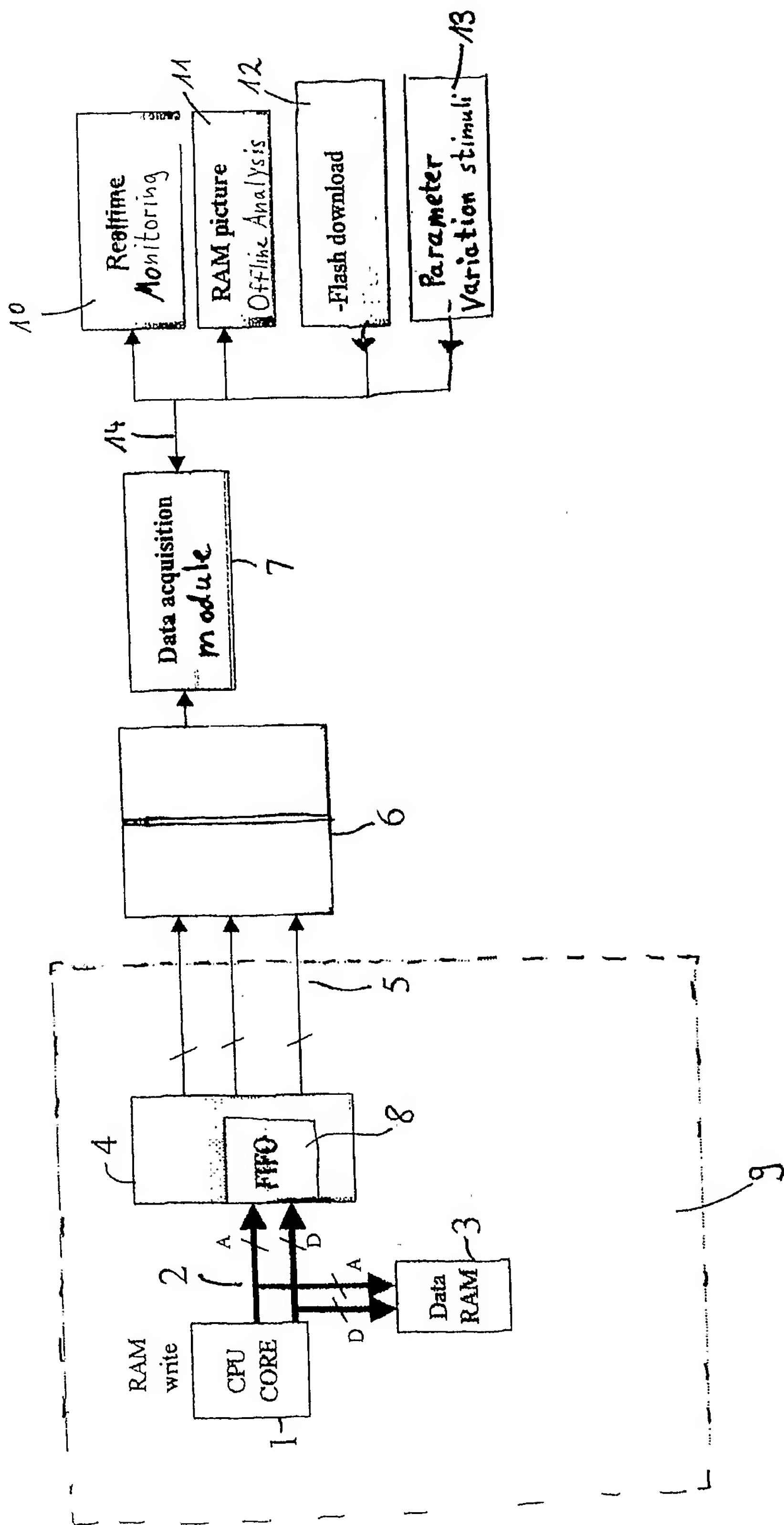


Fig. 1

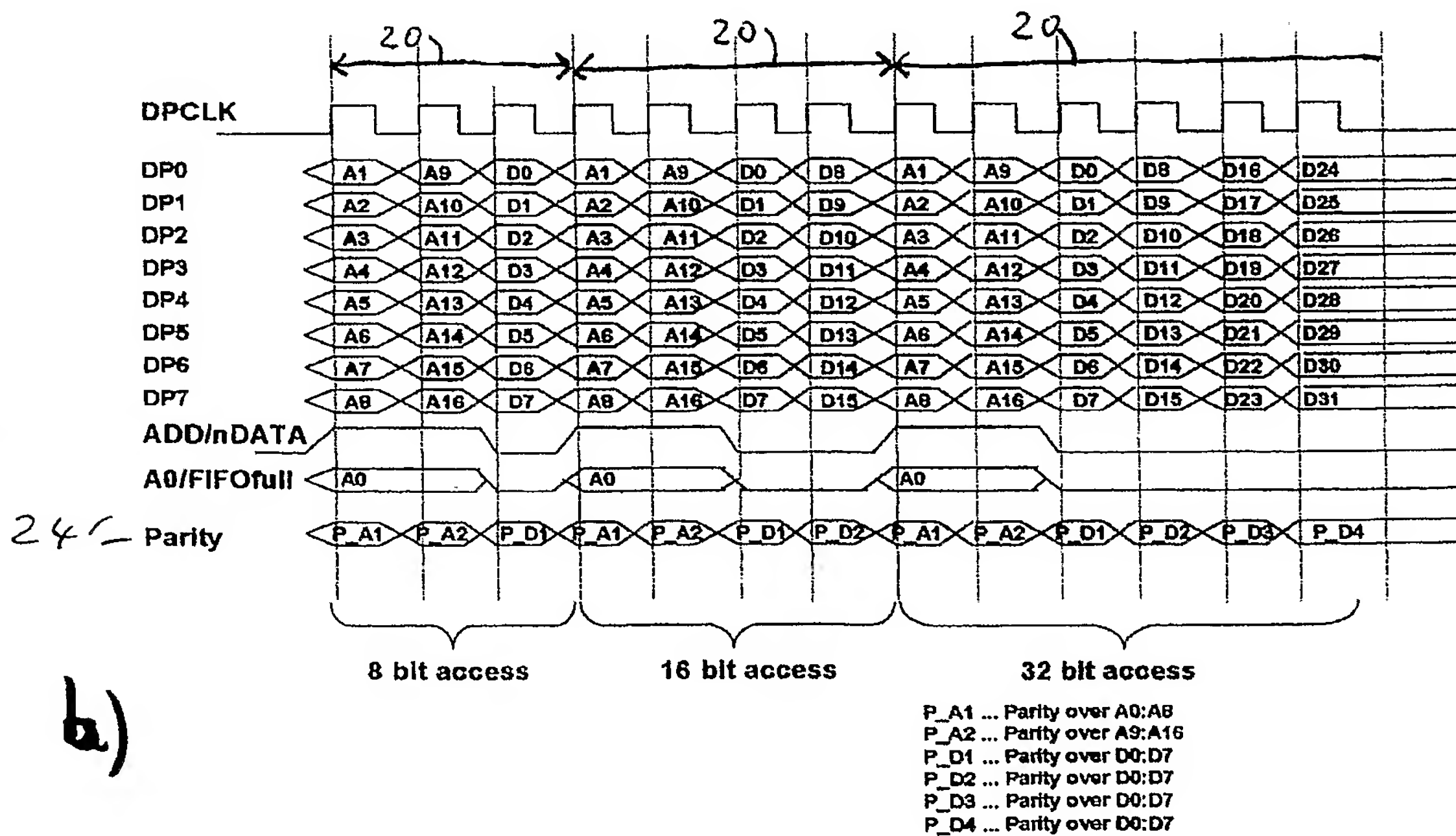
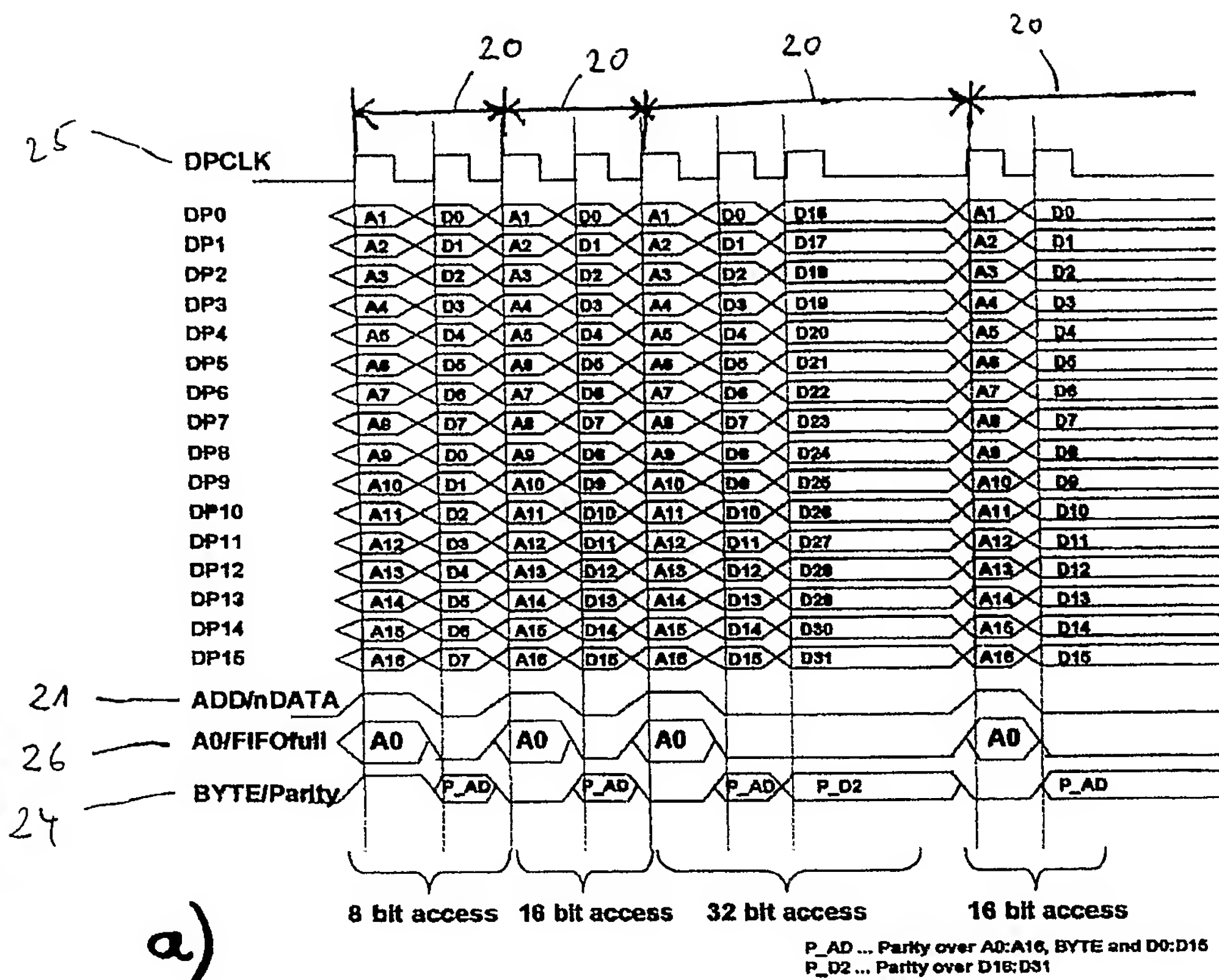


Fig 2

